

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1040 U.S. PTO  
09/978054  
10/17/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日

Date of Application:

2001年 2月22日

出 願 番 号

Application Number:

特願2001-047210

願 人

Applicant(s):

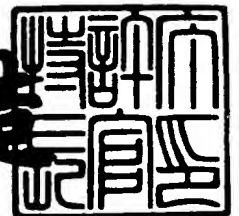
三菱電機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 3月16日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3019193

# RS

Patent 2  
Attorney's Docket No. 027260-498 12-21-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of )  
Yasunori SHINGAKI ) Group Art Unit: Unassigned  
Application No.: Unassigned ) Examiner: Unassigned  
Filed: October 17, 2001 )  
For: SERIAL DATA COMMUNICATION )  
APPARATUS AND... )  
)  
)  
)  
)

J1040 U.S. PTO  
09/978054  
10/17/01

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-047210  
Filed: February 22, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: October 17, 2001

By:

Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

PATENT OFFICE  
JAPANESE GOVERNMENT

J1040 U.S. PTO  
09/978054  
10/17/01

This is to certify that the annexed is a true copy of  
the following application as filed with this Office.

Date of Application : February 22, 2001

Application Number : Japanese Patent Application No. 2001-047210

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 16th day of March, 2001

Commissioner,  
Patent Office Kozo OIKAWA

Certificate No. 2001-3019193

【書類名】 特許願

【整理番号】 528970JP01

【提出日】 平成13年 2月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 1/00  
H04L 7/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 新垣 康德

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリアルデータ通信装置及び通信エラー検出方法

【特許請求の範囲】

【請求項 1】 スタートビットを先頭に付加した複数ビットからなるシリアルデータを送受信し、

受信データの立ち下がリエッジを検出するエッジ検出手段と、

このエッジ検出手段による立ち下がリエッジの検出に伴って上記受信データのスタートビットの受信を認識し、このスタートビットのビットレベルをモニタしてスタートビットにおける所定のビットレベルであるか否かを検査するスタートビットレベル検査手段と、

上記スタートビットレベル検査手段によって上記スタートビットのビットレベルに変化が検出されると、スタートビット検出エラー発生を示す値を設定した信号を外部に出力するスタートビット検出エラー通知手段と

を備えたシリアルデータ通信装置。

【請求項 2】 スタートビット検出エラー通知手段は、スタートビット検出エラー発生を示す値を設定した信号を割り込み要求信号として CPU に出力することを特徴とする請求項 1 記載のシリアルデータ通信装置。

【請求項 3】 スタートビットを先頭に付加した複数ビットからなるシリアルデータの送受信における通信エラー検出方法において、

受信データの立ち下がリエッジを検出するエッジ検出ステップと、

このエッジ検出ステップによる立ち下がリエッジの検出に伴って上記受信データのスタートビットの受信を認識し、このスタートビットのビットレベルをモニタしてスタートビットにおける所定のビットレベルであるか否かを検査するスタートビットレベル検査ステップと、

上記スタートビットレベル検査ステップにて上記スタートビットのビットレベルに変化が検出されると、スタートビット検出エラー発生を示す値を設定した信号を外部に出力するスタートビット検出エラー通知ステップと

を備えたことを特徴とする通信エラー検出方法。

【請求項 4】 スタートビット検出エラー通知ステップにて、受信データの

スタートビット検出エラー発生を示す値を設定した信号を割り込み要求信号としてCPUに出力することを特徴とする請求項3記載の通信エラー検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は調歩同期方式によるシリアルデータ伝送を行うUART (Universal Asynchronous Receiver Transmitter) として動作するシリアルデータ通信装置に係り、特にシリアルデータのスタートビット検出エラーの発生を通知する手段を設けたシリアルデータ通信装置及び通信エラー検出方法に関するものである。

【0002】

【従来の技術】

図5はUARTとして動作する従来のシリアルデータ通信装置の構成を概略的に示す図である。図において、10は従来のシリアルデータ通信装置、11は送信ブロック13からの送信データを出力するTxD端子、12は外部からのシリアルデータを受信するRxD端子、13は送信すべきデータとして後述する図6に示すシリアルデータを生成し、調歩同期方式によるデータ伝送を行う送信ブロック、14はRxD端子12を介してシリアルデータを受信する受信ブロックである。

【0003】

図6は図5のシリアルデータ通信装置によるシリアルデータのスタートビット検出動作を説明するための説明図である。図において、SBはシリアルデータのスタートビット、D6～D0はスタートビットSBから各ビットごとに順次伝送されるデータ、SPはこのシリアルデータのストップビットである。図6に示すように、シリアルデータ通信装置10が扱うシリアルデータは、説明の簡単のためにデータ長を7ビット(D6～D0)、ストップビットを1ビットとし、パリティチェックビットはないものとする。

【0004】

次に動作について説明する。

例えば、他のシリアルデータ通信装置内の送信ブロック 1 3 が生成したシリアルデータを、アイドル状態（通信していない状態；このとき、R×D端子 1 2 の入力レベルはHレベルである）にあるシリアルデータ通信装置 1 0 が入力すると、シリアルデータ通信装置 1 0 内の受信ブロック 1 4 がR×D端子 1 2 において受信したシリアルデータの立ち下がりエッジを検出する。このとき、受信ブロック 1 4 は、検出した立ち下がりエッジを、通信開始を示すスタートビットSBよるものと認識し、内部受信動作を開始する。

#### 【0005】

このあと、受信ブロック 1 4 は、上記スタートビットSBの1ビットの中間点（図6中の矢印で示す箇所）において、もう一度R×D端子 1 2 の入力レベルをチェックする。このチェックにおいて、R×D端子 1 2 の入力レベルがLレベルであれば、受信ブロック 1 4 は先に検出した立ち下がりエッジが確かにスタートビットSBよるものであると判断し、上記シリアルデータの受信動作を継続する。

#### 【0006】

一方、スタートビットSBの1ビットの中間点においてR×D端子 1 2 の入力レベルがHレベルになっていると、受信ブロック 1 4 は先に検出した立ち下がりエッジがノイズよるものと判断し、上記シリアルデータの受信動作を中止させる。このように、シリアルデータのスタートビットSBを2箇所を検出することで、ノイズによって誤って受信動作を行ってしまうことを防ぐことができる。

#### 【0007】

##### 【発明が解決しようとする課題】

従来のシリアルデータ通信装置は以上のように構成されているので、受信したシリアルデータのスタートビットの検出に失敗したことを認識する手段がなかったために、スタートビット検出エラーに係る不具合を発見し、これを修復するまでに多大な時間を要するという課題があった。

#### 【0008】

具体的に上記課題を説明する。

図7はスタートビットチェックポイントでHレベルのノイズがR×D端子にの

った場合の受信動作を説明する説明図である。先ず、上記と同様にして、受信ブロック 1 4 が R×D 端子 1 2 において受信したシリアルデータの立ち下がリエッジを検出する。ここで、受信ブロック 1 4 が通信開始を示すスタートビット S B によるシリアルデータの立ち下がリエッジを検出したものと仮定する。

【 0 0 0 9 】

このあと、受信ブロック 1 4 は、上記スタートビット S B の 1 ビットの間中間点において、もう一度 R×D 端子 1 2 の入力レベルをチェックする。このとき、図 7 に示すように、上記中間点で H レベルのノイズが R×D 端子 1 2 にのると、正確にスタートビット S B によるシリアルデータの立ち下がリエッジを検出したにも関わらず、受信ブロック 1 4 は先に検出した立ち下がリエッジがノイズによるものと判断し、上記シリアルデータの受信動作を中止する。

【 0 0 1 0 】

続いて、受信ブロック 1 4 は上記ノイズの立ち下がリエッジを検出する。これによって、受信ブロック 1 4 が上記ノイズの立ち下がリエッジを新たなスタートビット S B によるものと認識し、内部受信動作を開始する。これに続いて R×D 端子 1 2 に入力するデータ D 6 が L レベルであると、受信ブロック 1 4 が上記ノイズの立ち下がリエッジを検出した位置に続く第 2 のスタートビットチェックポイントにおいても L レベルが維持される。即ち、スタートビットチェックにおけるエラーが見過ごされて、受信ブロック 1 4 によってシリアルデータの受信動作が継続されてしまう。

【 0 0 1 1 】

上述したような状態となると、R×D 端子 1 2 を介して受信ブロック 1 4 がビットずれを起こしたシリアルデータを逐次受信するようになる。例えば、シリアルデータ通信装置 1 0 が内部受信動作での 1 ビットの間中間点を、そのビットの値とする仕様であるものとする、図 7 ではデータ D 6 が受信されるべきタイミングで、データ D 6 とデータ D 5 との間中間点の値がデータ D 6 のビット値として受信される。

【 0 0 1 2 】

一方、上記ノイズの立ち下がリエッジ検出に続いて R×D 端子 1 2 に入力する



データD6がHレベルであっても、データD5～D0のいずれかがLレベルであれば、上記と同様なビットずれを起こしたシリアルデータを受信してしまうことは容易に想像できる。

このように、送信データと受信データとを比較した場合に、データが異なっているにも関わらず、フレームエラー（ストップビットSPの位置でLレベルを検出するエラー）などUARTが持つエラー検出機能では検出されないことから、通信エラーを特定するのに時間を要していた。

#### 【0013】

この発明は上記のような課題を解決するためになされたもので、スタートビットの検出エラーが発生したことを通知する手段を設けることで、シリアルデータ通信時におけるスタートビットの検出エラーを迅速に認識することができるシリアルデータ通信装置及び通信エラー検出方法を得ることを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

この発明に係るシリアルデータ通信装置は、スタートビットを先頭に付加した複数ビットからなるシリアルデータを送受信し、受信データの立ち下がりエッジを検出するエッジ検出手段と、このエッジ検出手段による立ち下がりエッジの検出に伴って受信データのスタートビットの受信を認識し、このスタートビットのビットレベルをモニタしてスタートビットにおける所定のビットレベルであるか否かを検査するスタートビットレベル検査手段と、スタートビットレベル検査手段によってスタートビットのビットレベルに変化が検出されると、スタートビット検出エラー発生を示す値を設定した信号を外部に出力するスタートビット検出エラー通知手段とを備えるものである。

#### 【0015】

この発明に係るシリアルデータ通信装置は、スタートビット検出エラー通知手段がスタートビット検出エラー発生を示す値を設定した信号を割り込み要求信号としてCPUに出力するものである。

#### 【0016】

この発明に係る通信エラー検出方法は、スタートビットを先頭に付加した複数

ビットからなるシリアルデータの送受信における通信エラー検出方法において、受信データの立ち下がりエッジを検出するエッジ検出ステップと、このエッジ検出ステップによる立ち下がりエッジの検出に伴って受信データのスタートビットの受信を認識し、このスタートビットのビットレベルをモニタしてスタートビットにおける所定のビットレベルであるか否かを検査するスタートビットレベル検査ステップと、スタートビットレベル検査ステップにてスタートビットのビットレベルに変化が検出されると、スタートビット検出エラー発生を示す値を設定した信号を外部に出力するスタートビット検出エラー通知ステップとを備えるものである。

#### 【0017】

この発明に係る通信エラー検出方法は、スタートビット検出エラー通知ステップにて、受信データのスタートビット検出エラー発生を示す値を設定した信号を割り込み要求信号としてCPUに出力するものである。

#### 【0018】

##### 【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

##### 実施の形態1.

図1はこの発明の実施の形態1によるシリアルデータ通信装置の構成を示すブロック図である。図において、1はR×D入力されるデータの立ち下がりエッジを検出する立ち上がりエッジ検出回路（エッジ検出手段）で、検出の際にHレベルの信号aを生成する。2はスタートビットレベルチェック回路（スタートビットレベル検査手段）であって、受信クロック生成回路5からの信号eの立ち上がりエッジに同期してR×D入力データをラッチし、ラッチした信号とデコーダ7からの信号gとのAND論理によってスタートビット検出に失敗するとHレベルのパルスの信号bを出力する。3は立ち下がりエッジエッジ検出回路1からの信号aによってセットされ、スタートビットレベルチェック回路2からの信号bと不図示の1フレームデータ検出回路からの信号iとの論理和出力によってリセットされるRSフリップフロップ（以降、FF3と略す）で、受信動作の許可・不許可を示す信号cを生成する。4はスタートビットレベルチェック回路2からの

信号 b によってセットされ、不図示の CPU からの信号 h によってリセットされる RS フリップフロップ（スタートビット検出エラー通知手段）（以降、FF 4 と略す）であって、スタートビット検出エラー発生の有無を示す信号 d を生成する。

#### 【0019】

5 は FF 3 からの信号 c が H レベルとなると、不図示のクロック発振回路から入力した基本クロック信号である信号 f を用いて設定されたボーレートに従いビット周期のクロック信号である信号 e を生成する受信クロック生成回路で、信号 c が L レベルの期間では H レベルの信号 e を出力し、信号 c が H レベルになると L レベルから始まるクロック信号としての信号 e を出力する。6 は受信するデータの 1 フレームの間に受信すべきビット数が設定されており、1 ビット受信されるごとにカウントダウンするビットカウンタ（スタートビットレベル検査手段）であって、カウントダウンクロックとして受信クロック生成回路 5 からの信号 e の立ち下がリエッジを使用する。また、ビットカウンタ 6 では、信号 c の立ち下がリエッジが検出されるごとに受信すべきビット数が入リロードされる。7 はデコーダ（スタートビットレベル検査手段）であって、ビットカウンタ 6 から入力したビットカウンタ値が 1 フレームの間に受信すべきビット数に一致しているとき H レベルの信号 g を生成し、スタートビットレベルチェック回路 2 に出力する。8 はスタートビットレベルチェック回路 2 からの信号 b と不図示の 1 フレームデータ検出回路からの信号 i との論理和を演算する OR 回路である。

#### 【0020】

図 2 は図 1 中のスタートビットレベルチェック回路の具体的な構成を示す図である。図において、2 a は受信クロック生成回路 5 からの信号 e の立ち上がりエッジに同期して R×D 入力データをラッチするラッチ回路（スタートビットレベル検査手段）であって、D フリップフロップから構成されてセット入力 S に H レベルの信号（即ち、信号 c が受信不許可を示す L レベルの期間）が入力すると H レベルに初期化される。2 b はラッチ回路 2 a がラッチした信号とデコーダ 7 からの信号 g との AND 論理演算を行う AND 回路（スタートビットレベル検査手段）である。なお、図 1 と同一構成要素には同一符号を付して重複する説明を省

略する。

### 【 0 0 2 1 】

次に動作について説明する。

図 3 は実施の形態 1 によるシリアルデータ通信装置が正常にスタートビットレベルチェックを行った場合の各信号の変化を示すタイミング図であり、この図 3 に沿って動作説明を行う。図 3 において、S B はシリアルデータのスタートビット、D 6 ～ D 0 はスタートビット S B から各ビットごとに順次伝送されるデータ、S P はこのシリアルデータのストップビットである。また、説明の簡単のためにデータ長を 7 ビット (D 6 ～ D 0)、ストップビットを 1 ビットとし、パリティチェックビットはないものとする。

まず、外部から R × D 端子にシリアルデータが入力されると、立ち下がリエッジ検出回路 1 が上記シリアルデータの立ち下がリエッジを検出するとともに、H レベルのパルス信号である信号 a を生成する。この信号 a は F F 3 のセット入力 S に入力される。また、アイドル状態において、F F 3 のリセット入力 R には O R 回路 8 から L レベルの信号が入力している。これによって、セット入力 S に H レベルの信号 a が入力すると、F F 3 は R S ラッチがセットされて出力 Q から受信動作の許可・不許可を示す信号 c を H レベル (受信動作許可) にして出力する。この信号 c はスタートビットレベルチェック回路 2 及び受信クロック生成回路 5 に入力される。

### 【 0 0 2 2 】

入力した H レベルの信号 c をトリガとして、受信クロック生成回路 5 は外部の不図示のクロック発振回路から入力している基本クロック信号である信号 f を分周してシリアルデータ通信の 1 ビットの周期に対応するクロック信号である信号 e を生成する。この信号 e はスタートビットレベルチェック回路 2 及びビットカウンタ 6 に入力される。

### 【 0 0 2 3 】

ビットカウンタ 6 は上記信号 e を構成するクロック信号の立ち下がリエッジを検出すると、シリアルデータの 1 フレーム当たりの通信ビット数 (即ち、スタートビット S B からストップビット S P までのビット数) の設定値 (図示の例では

9としている) からダウンカウントし、そのビットカウント値を信号 j としてデコーダ 7 に出力する。

#### 【 0 0 2 4 】

デコーダ 7 ではビットカウンタ 6 からのカウント値 (信号 j) をデコードして、スタートビットの位置を示すビットカウント値 = 8 の期間 (ビットカウンタ値が 1 フレームの間に受信すべきビット数に一致している期間) だけ、信号 g を H レベルとしてスタートビットレベルチェック回路 2 に出力する。

#### 【 0 0 2 5 】

スタートビットレベルチェック回路 2 では、上記信号 e を構成するクロック信号の立ち下がリエッジを検出すると、R × D 端子から入力するシリアルデータをラッチしてラッチした値とデコーダ 7 からの信号 g とを入力とする AND 演算を行う。

#### 【 0 0 2 6 】

このスタートビットレベルチェック回路 2 としては、図 2 に示す回路構成が考えられる。具体的な動作を説明すると、ラッチ回路 2 a はタイミング入力 T を介して入力される受信クロック生成回路 5 からの受信クロック信号である信号 e の最初の立ち上がりエッジに同期して、データ入力 D に R × D 入力からのシリアルデータを逐次取り込む。例えば、外部から R × D 端子に入力するシリアルデータのスタートビットを受信中 (スタートビットの位置を示すビットカウント値 (信号 j) = 8 の期間) では、R × D 端子から L レベルのシリアルデータがデータ入力 D に取り込まれる。

#### 【 0 0 2 7 】

また、FF 3 からの H レベルの信号 c は、セット入力 S にて反転されて L レベルとなってラッチ回路 2 a に取り込まれる。これによって、ラッチ回路 2 a はセットされず、出力 Q からは上記シリアルデータをそのまま出力する。一方、ラッチ回路 2 a から出力された上記シリアルデータは、デコーダ 7 からの信号 g とともに AND 回路 2 b に入力する。AND 回路 2 b では、ラッチ回路 2 a からの上記シリアルデータと信号 g との AND 演算を行い、演算結果を信号 b として出力する。

## 【 0 0 2 8 】

このとき、外部から R × D 端子に入力するシリアルデータのスタートビットを受信中（スタートビットの位置を示すビットカウント値（信号 j） = 8 の期間）であるとデコーダ 7 からの信号 g が H レベルであり、ラッチ回路 2 a の出力は L レベルであるので、AND 回路 2 b からは L レベルの信号 b が出力する。

一方、外部から R × D 端子に入力するシリアルデータのデータビットを受信中（スタートビットの位置を示すビットカウント値（信号 j） = 7 ~ 0 の期間）であるとデコーダ 7 からの信号 g が L レベルとなるので、AND 回路 2 b からは L レベルの信号 b が出力する。

## 【 0 0 2 9 】

スタートビットレベルチェック回路 2 から出力された L レベルの信号 b は、F F 4 のセット入力 S の他に、L レベルの信号 i とともに OR 回路 8 に入力する。この OR 回路 8 では、信号 b と信号 i との論理和が演算され、F F 3 のリセット入力 R に出力される。

ここで、上記信号 i は通常は L レベルであって、R × D 入力されたシリアルデータの 1 フレーム分のビット数を受信した際に H レベルのパルスとなる信号である。従って、上記の場合では外部から R × D 端子に入力するシリアルデータのスタートビットを受信中であるので、信号 i 及び信号 b がいずれも L レベルとなっている。これにより、OR 回路 8 は L レベルの信号を F F 3 のリセット入力 R に出力する。

## 【 0 0 3 0 】

また、上記信号 i は、ビットカウンタ 6 のカウント値などを用いて R × D 入力されたシリアルデータが 1 フレーム分受信されたことを検出する、不図示の 1 フレームデータ検出回路によって生成される。

さらに、F F 4 では、セット入力 S に L レベルの信号 b が入力し、リセット入力 R には、不図示の C P U によって L レベルに制御された信号 h が入力していることから、R S セットされず初期値として L レベルを維持した信号 d を出力 Q から出力する。この信号 d はデータバスを介して上記 C P U に送出される他、割り込み制御を行う割り込みコントローラに接続する I N T 端子にも送出される。

## 【 0 0 3 1 】

一方、FF 3では、R×D端子に入力するシリアルデータの立ち下がりエッジを検出してHレベルのパルスとなった後にLレベルに戻った信号aがセット入力Sに入力し、リセット入力RにOR回路8からのLレベルの信号が入力することから、出力Qの値が変化せず、Hレベルの信号cが出力している。これによって、受信動作は継続状態になる。

## 【 0 0 3 2 】

このあと、受信動作が進行してR×D端子に入力するシリアルデータが1フレーム分受信されると、上述した不図示の1フレームデータ検出回路が上記シリアルデータの1フレーム分の受信を検出してHレベルのパルスの信号iをOR回路8に出力する。これによって、OR回路8はLレベルの信号bとHレベルの信号iとの論理和を演算し、演算結果のHレベルの信号をFF 3のリセット入力Rに出力する。

## 【 0 0 3 3 】

リセット入力RにHレベルの信号が入力すると、FF 3はリセットされて出力QからLレベル（受信動作不許可）の信号cを出力する。このLレベルの信号cはスタートビットレベルチェック回路2及び受信クロック生成回路5に入力される。Lレベルの信号cを受けると、受信クロック生成回路5はHレベルの信号eを生成する。この信号eはスタートビットレベルチェック回路2及びビットカウンタ6に入力される。Hレベルの信号eを受けると、ビットカウンタ6にはR×D端子に入力するシリアルデータの1フレーム当たりで受信すべきビット数9が再び設定（リロード）される。

## 【 0 0 3 4 】

また、スタートビットレベルチェック回路2は、Lレベルの信号cを受けるとLレベルの信号bを出力する。図2に沿って具体的な動作を説明すると、ラッチ回路2aは、タイミング入力Tを介して入力される受信クロック生成回路5からの受信クロック信号である信号eの最初の立ち上がりエッジに同期して、データ入力DにR×D端子に入力するシリアルデータを逐次取り込む。また、FF 3からのLレベルの信号cは、セット入力Sにて反転されてHレベルとなってラッチ

回路 2 a に取り込まれる。これによって、ラッチ回路 2 a がセットされて出力 Q から H レベルの信号が出力する。一方、ラッチ回路 2 a から出力された H レベルの信号は、デコーダ 7 からの信号 g とともに AND 回路 2 b に入力する。AND 回路 2 b では、ラッチ回路 2 a からの H レベルの信号と信号 g との AND 演算を行い、演算結果を信号 b として出力する。

## 【 0 0 3 5 】

このとき、外部から R × D 端子に入力するシリアルデータのデータビットを受信中（スタートビットの位置を示すビットカウント値（信号 j） = 7 ～ 0 の期間）であるので、デコーダ 7 からの信号 g が L レベルであり、AND 回路 2 b からは L レベルの信号 b が出力する。

これによって、シリアルデータの 1 フレーム分の受信動作が完了する。

## 【 0 0 3 6 】

上述した動作に続いて、外部から R × D 端子にシリアルデータが入力すると、立ち下がリエッジ検出回路 1 が上記シリアルデータの立ち下がリエッジを検出するとともに、H レベルのパルス信号である信号 a を生成する。この信号 a は FF 3 のセット入力 S に入力されることで、FF 3 が再びセットされて H レベルの信号 c を出力する。これによって、上述した受信動作が繰り返される。

## 【 0 0 3 7 】

次にスタートビットレベルチェックに失敗した場合における動作について説明する。

図 4 は実施の形態 1 によるシリアルデータ通信装置がスタートビットレベルチェックに失敗した場合の各信号の変化を示すタイミング図であり、この図 4 に沿って動作説明を行う。なお、図 3 と同一構成要素には同一符号を付して重複する説明を省略する。

先ず、外部からシリアルデータが R × D 端子に入力すると、立ち下がリエッジ検出回路 1 が上記シリアルデータの立ち下がリエッジを検出するとともに、H レベルのパルス信号である信号 a を生成する。この信号 a は FF 3 のセット入力 S に入力される。また、アイドル状態において、FF 3 のリセット入力 R には OR 回路 8 から L レベルの信号が入力している。これによって、セット入力 S に H レ



ベルの信号 a が入力すると、F F 3 は R S ラッチがセットされて出力 Q から受信動作の許可・不許可を示す信号 c を H レベル（受信動作許可）にして出力する。この信号 c はスタートビットレベルチェック回路 2 及び受信クロック生成回路 5 に入力される。

## 【 0 0 3 8 】

入力した H レベルの信号 c をトリガとして、受信クロック生成回路 5 は外部の不図示のクロック発振回路から入力している基本クロック信号である信号 f を分周してシリアルデータ通信の 1 ビットの周期に対応するクロック信号である信号 e を生成する。この信号 e はスタートビットレベルチェック回路 2 及びビットカウンタ 6 に入力される。

## 【 0 0 3 9 】

ビットカウンタ 6 は上記信号 e を構成するクロック信号の立ち下がりエッジを検出すると、シリアルデータの 1 フレーム当たりの通信ビット数（即ち、スタートビット S B からストップビット S P までのビット数）の設定値（図示の例では 9 としている）からダウンカウントし、そのビットカウント値を信号 j としてデコーダ 7 に出力する。

## 【 0 0 4 0 】

デコーダ 7 ではビットカウンタ 6 からのカウント値（信号 j ）をデコードして、スタートビットの位置を示すビットカウント値 = 8 の期間だけ、信号 g を H レベルとしてスタートビットレベルチェック回路 2 に出力する。

スタートビットレベルチェック回路 2 では、上記信号 e を構成するクロック信号の立ち下がりエッジを検出すると、R × D 端子に入力するシリアルデータをラッチしてラッチした値とデコーダ 7 からの信号 g とを入力とする A N D 演算を行う。

ここまでの動作は上記正常な場合と同様である。

## 【 0 0 4 1 】

ここで、外部から R × D 端子に入力するシリアルデータのスタートビットを受信中（スタートビットの位置を示すビットカウント値（信号 j ） = 8 の期間）にスタートビットレベルチェックポイントにて H レベルのノイズが R × D 入力にの

ると、スタートビットレベルチェック回路 2 は、H レベルのパルスとして信号 b を出力する。

#### 【 0 0 4 2 】

この動作を図 2 に沿って説明すると、ラッチ回路 2 a には、タイミング入力 T を介して入力される受信クロック生成回路 5 からの受信クロック信号である信号 e の最初の立ち上がりエッジに同期して、データ入力 D に R × D 入力からのシリアルデータを逐次取り込む。このとき、本来ならば、外部から R × D 端子に入力するシリアルデータのスタートビットを受信中（スタートビットの位置を示すビットカウント値（信号 j）= 8 の期間）では R × D 端子から L レベルのシリアルデータがデータ入力 D に取り込まれるはずであるが、上記 H レベルのノイズが取り込まれる。

#### 【 0 0 4 3 】

また、F F 3 からの H レベルの信号 c は、セット入力 S にて反転されて L レベルとなってラッチ回路 2 a に取り込まれる。これによって、ラッチ回路 2 a はセットされず、出力 Q からは上記 H レベルのノイズをそのまま出力する。一方、ラッチ回路 2 a から出力された上記 H レベルのノイズ信号は、デコーダ 7 からの信号 g とともに AND 回路 2 b に入力する。AND 回路 2 b ではラッチ回路 2 a からの上記 H レベルのノイズと信号 g との AND 演算を行い、信号 b として出力する。

#### 【 0 0 4 4 】

このとき、外部から R × D 端子に入力するシリアルデータのスタートビットを受信中（スタートビットの位置を示すビットカウント値（信号 j）= 8 の期間）であると、本来ならばラッチ回路 2 a の出力は L レベルで、デコーダ 7 からの信号 g が H レベルであるので、AND 回路 2 b からは L レベルの信号 b が出力するはずであるが、H レベルのノイズによって AND 回路 2 b からは H レベルの信号 b が出力する。一方、外部から R × D 端子に入力するシリアルデータのデータビットを受信中（スタートビットの位置を示すビットカウント値（信号 j）= 7 ~ 0 の期間）であると、デコーダ 7 からの信号 g が L レベルであるので、AND 回路 2 b からは L レベルの信号 b が出力する。

## 【 0 0 4 5 】

R×D入力にのったHレベルのノイズによってHレベルとなった信号bは、FF4のセット入力Sの他に、Lレベルの信号iとともにOR回路8に入力する。このOR回路8では、信号bと信号iとの論理和が演算され、FF3のリセット入力Rに出力される。

ここで、上記の場合では外部からR×D端子に入力するシリアルデータのスタートビットを受信中であるので、信号iがLレベルとなっており、OR回路8はHレベルの信号をFF3のリセット入力Rに出力する。

## 【 0 0 4 6 】

また、FF4では、セット入力SにHレベルの信号bが入力し、不図示のCPUによってLレベルに制御された信号hがリセット入力Rに入力している。これによって、FF4がセットされて、スタートビット検出エラー発生の有無を示す信号dが、スタートビット検出エラー発生を示すHレベルとなって出力Qから出力する。この信号dはデータバスを介して上記CPUに送出される他、割り込み制御を行う割り込みコントローラに接続するINT端子にも送出される。

上記信号dはデータバスを介して上記CPUから読み出し可能であるために、上記CPUが通信完了後にスタートビット検出にエラーが発生していたことを知ることができる。

## 【 0 0 4 7 】

一方、FF3では、リセット入力RにOR回路8からのHレベルの信号が入力することから、リセットされて出力QからLレベル（受信動作不許可）の信号cが出力する。このLレベルの信号cはスタートビットレベルチェック回路2及び受信クロック生成回路5に入力される。Lレベルの信号cを受けると、受信クロック生成回路5はHレベルの信号eを生成する。この信号eはスタートビットレベルチェック回路2及びビットカウンタ6に入力される。

## 【 0 0 4 8 】

Hレベルの信号eを受けると、ビットカウンタ6ではR×D端子に入力するシリアルデータの1フレーム当たりの受信ビット数である設定値9が再び設定される。図4の例では、ビットカウント値（信号j）が8のときにHレベルのノイズ

がのったことによって、信号 c が H レベルから L レベルに変化する立ち下がリエッジに同期して、受信されるべきデータ（スタートビット）の途中でビットカウント値（信号 j）が 9 に再設定されている。

## 【 0 0 4 9 】

このあと、外部から R × D 端子に入力するシリアルデータのスタートビットを受信中において上記 H レベルのノイズがおさまると、立ち下がリエッジ検出回路 1 が上記ノイズの立ち下がリエッジを検出するとともに、H レベルのパルス信号である信号 a を生成する。この H レベルの信号 a が F F 3 のセット入力 S に入力される。

## 【 0 0 5 0 】

また、上記 H レベルのノイズがおさまって L レベルとなったスタートビットは、スタートビットレベルチェック回路 2 にも入力される。これによって、スタートビットレベルチェック回路 2 から L レベルの信号 b が出力される。

図 2 に沿って具体的な動作を説明すると、ラッチ回路 2 a はタイミング入力 T を介して入力される受信クロック生成回路 5 からの信号 e の最初の立ち上がりエッジに同期して、データ入力 D に R × D 端子に入力するシリアルデータを逐次取り込む。

## 【 0 0 5 1 】

また、F F 3 からは上記 H レベルのノイズによって L レベルとなった信号 c がセット入力 S にて反転して H レベルとなってラッチ回路 2 a に取り込まれる。これによって、ラッチ回路 2 a がセットされて出力 Q から H レベルの信号が出力する。一方、ラッチ回路 2 a から出力された H レベルの信号は、デコーダ 7 からの信号 g とともに AND 回路 2 b に入力する。AND 回路 2 b では、ラッチ回路 2 a からの H レベルの信号と信号 g との AND 演算を行い、演算結果を信号 b として出力する。このとき、ビットカウント値（信号 j）が 9 に再設定されているので、デコーダ 7 からの信号 g が L レベルであり、AND 回路 2 b からは L レベルの信号 b が出力する。

## 【 0 0 5 2 】

スタートビットレベルチェック回路 2 から出力された L レベルの信号 b は、F

F 4 のセット入力 S の他に、L レベルの信号 i とともに O R 回路 8 に入力する。この O R 回路 8 では、信号 b と信号 i との論理和が演算され、F F 3 のリセット入力 R に出力される。

ここで、上記信号 i は通常は L レベルであって R × D 端子に入力するシリアルデータの 1 フレーム分のビット数を受信した際に H レベルのパルスとなる信号であるので、信号 i 及び信号 b がいずれも L レベルとなっている。これにより、O R 回路 8 は L レベルの信号を F F 3 のリセット入力 R に出力する。

#### 【 0 0 5 3 】

また、F F 4 では、セット入力 S に L レベルの信号 b が入力し、不図示の C P U によって L レベルに制御された信号 h がリセット入力 R に入力していることから、R S セットされず上記 H レベルのノイズによって H レベルとなった信号 d を出力 Q から出力し続ける。この信号 d はデータバスを介して上記 C P U に送出される他、割り込み制御を行う割り込みコントローラに接続する I N T 端子にも送出される。

#### 【 0 0 5 4 】

一方、F F 3 では、上記 H レベルのノイズの立ち下がリエッジを検出した立ち下がリエッジ検出回路 1 からの H レベルの信号 a がセット入力 S に入力し、リセット入力 R に O R 回路 8 からの L レベルの信号が入力する。これにより、F F 3 はセットされて、H レベルの信号 c を出力する。H レベルの信号 c は受信動作許可を示すことから、受信動作が継続状態になる。

#### 【 0 0 5 5 】

上記受信動作が進行してビットカウント値が 8 となる期間において受信されるビット D 6 が L レベルのデータである場合、上記正常な場合と同様な受信動作を行う。一方、ビット D 6 が H レベルのデータである場合、スタートビットレベルチェック回路 2 を構成するラッチ回路 2 a のデータ入力 D に、H レベルのデータが入力され、デコーダ 7 から H レベルの信号 g が入力することから、A N D 回路 2 b は H レベルの信号 b を出力する。このため、再びスタートビット検出エラーが発生したと認識される。しかしながら、F F 4 から出力される信号 d は H レベルを維持する。

## 【 0 0 5 6 】

上述したようなスタートビット検出エラーが発生すると、図4に示すように、1ビットずれた受信動作が進行する。しかしながら、スタートビット検出エラー発生の有無を示す信号dは、データバスを介して上記CPUで読み出し可能であるため、上記1ビットずれた通信が完了したあとに、スタートビット検出にエラーがあったことを、直ちに知ることができる。

## 【 0 0 5 7 】

また、ワンチップマイクロコンピュータの場合では、上記信号dを割り込み信号として使用することで、スタートビット検出にエラーがあったことを知ることができる。さらに、UART単体の場合では、割り込み要求を知らせるINT端子から信号dを出力することで、CPUに対してスタートビット検出にエラーがあったことを知ることができる。

## 【 0 0 5 8 】

信号dによってスタートビット検出にエラーがあったことを知ったCPUは、スタートビット検出エラー発生を示すフラグとしての信号dの値をリセットする命令を実行することでFF4のリセット入力Rに出力する信号hをHレベルに変更する。これによって、FF4がリセットされて信号dがLレベルに初期化される。

## 【 0 0 5 9 】

以上のように、この実施の形態1によれば、受信データの立ち下がリエッジを検出し、この立ち下がリエッジの検出に伴って受信データのスタートビットの受信を認識するとともに、このスタートビットのビットレベルをモニタしてスタートビットにおける所定のビットレベルであるか否かを検査し、該ビットレベルに変化が検出されると、スタートビット検出エラー発生を示すHレベルの信号dを外部に出力するので、外部からスタートビット検出エラー発生を即座に認識することができることから、スタートビット検出エラーに係る不具合を発見し、これを修復するまでに要する時間を短縮化することができる。

## 【 0 0 6 0 】

また、この実施の形態1によれば、スタートビット検出エラー発生を示すHレ

ベルの信号 d を割り込み要求信号として CPU に出力するので、スタートビット検出エラー発生をトリガとして CPU にスタートビット検出エラーに係る不具合を修復する割り込み処理を行わせることができることから、スタートビット検出エラーによる不具合を修復するまでに要する時間を短縮化することができる。

#### 【 0 0 6 1 】

なお、上記実施の形態では、スタートビットレベルチェック回路 2 をラッチ回路 2 a 及び AND 回路 2 b で構成し、 F F 3、 F F 4、受信クロック生成回路 5、ビットカウンタ 6、デコーダ 7、及び OR 回路 8 で、シリアルデータ通信装置を構成する例を示したが、この構成に本願発明は限定されるものではない。従って、本願発明の要旨に従う限り、上記以外の構成を適用してもよい。

#### 【 0 0 6 2 】

##### 【発明の効果】

以上のように、この発明によれば、スタートビットを先頭に付加した複数ビットからなるシリアルデータの立ち下がりエッジを検出し、この立ち下がりエッジの検出に伴って受信データのスタートビットの受信を認識するとともに、このスタートビットのビットレベルをモニタしてスタートビットにおける所定のビットレベルであるか否かを検査し、該ビットレベルに変化が検出されると、スタートビット検出エラー発生を示す値を設定した信号を外部に出力するので、外部からスタートビット検出エラー発生を即座に認識することができることから、スタートビット検出エラーに係る不具合を発見し、これを修復するまでに要する時間を短縮化することができるという効果がある。

#### 【 0 0 6 3 】

この発明によれば、スタートビット検出エラー発生を示す値を設定した信号を割り込み要求信号として CPU に出力するので、スタートビット検出エラー発生をトリガとして CPU にスタートビット検出エラーに係る不具合を修復する割り込み処理を行わせることができることから、スタートビット検出エラーによる不具合を修復するまでに要する時間を短縮化することができるという効果がある。

##### 【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 によるシリアルデータ通信装置の構成を

示すブロック図である。

【図 2】 図 1 中のスタートビットレベルチェック回路の具体的な構成を示す図である。

【図 3】 実施の形態 1 によるシリアルデータ通信装置が正常にスタートビットレベルチェックを行った場合の各信号の変化を示すタイミング図である。

【図 4】 実施の形態 1 によるシリアルデータ通信装置がスタートビットレベルチェックに失敗した場合の各信号の変化を示すタイミング図である。

【図 5】 U A R T として動作する従来のシリアルデータ通信装置の構成を概略的に示す図である。

【図 6】 図 5 のシリアルデータ通信装置によるシリアルデータのスタートビット検出動作を説明するための説明図である。

【図 7】 スタートビットチェックポイントで H レベルのノイズが R × D 端子にのった場合の受信動作を説明する説明図である。

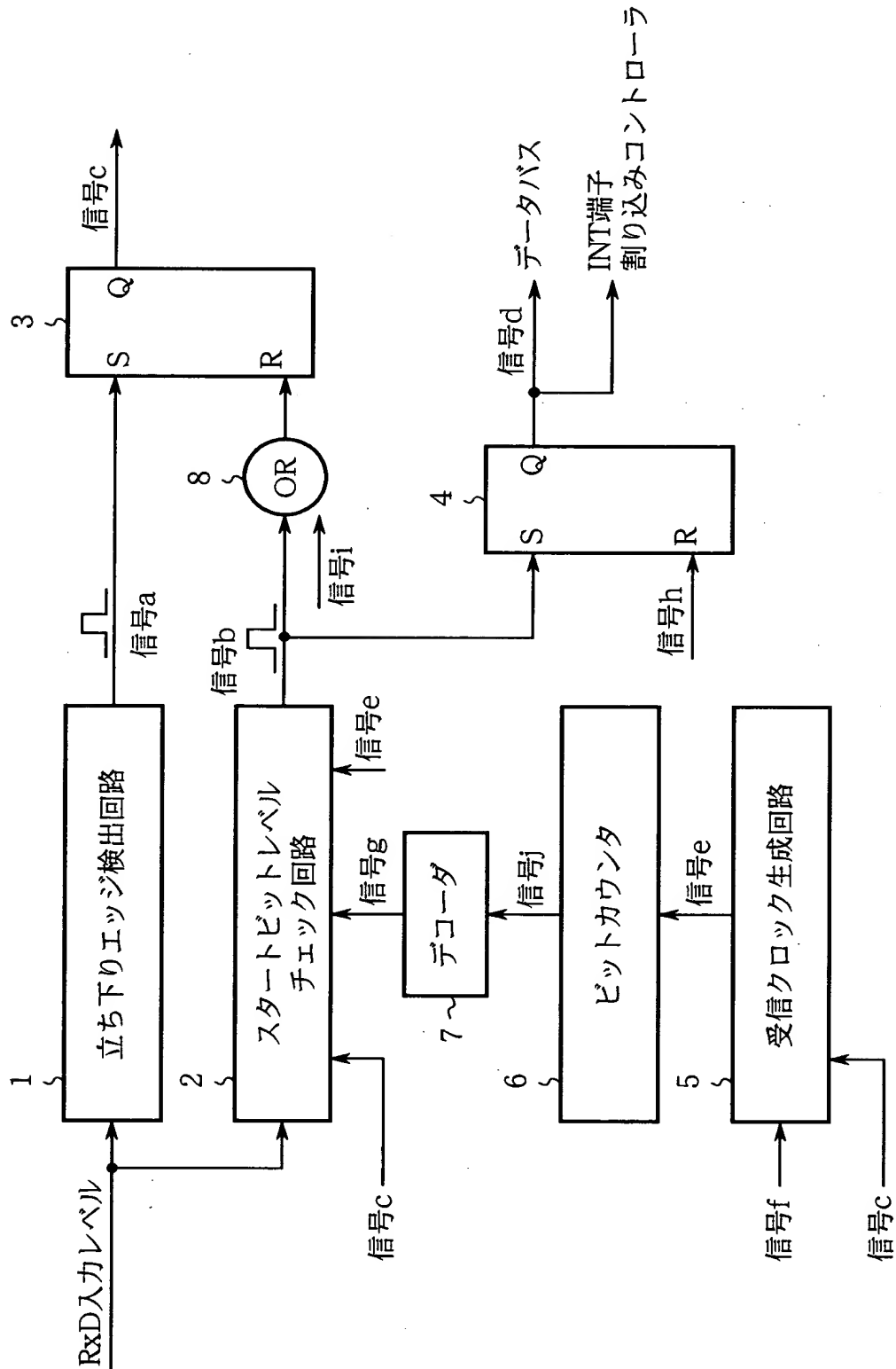
【符号の説明】

1 立ち下がリエッジ検出回路（エッジ検出手段）、2 スタートビットレベルチェック回路（スタートビットレベル検査手段）、2 a ラッチ回路（スタートビットレベル検査手段）、2 b A N D 回路（スタートビットレベル検査手段）、3 R S フリップフロップ（F F 3）、4 R S フリップフロップ（スタートビット検出エラー通知手段）（F F 4）、5 受信クロック生成回路、6 ビットカウンタ（スタートビットレベル検査手段）、7 デコーダ（スタートビットレベル検査手段）、8 O R 回路。

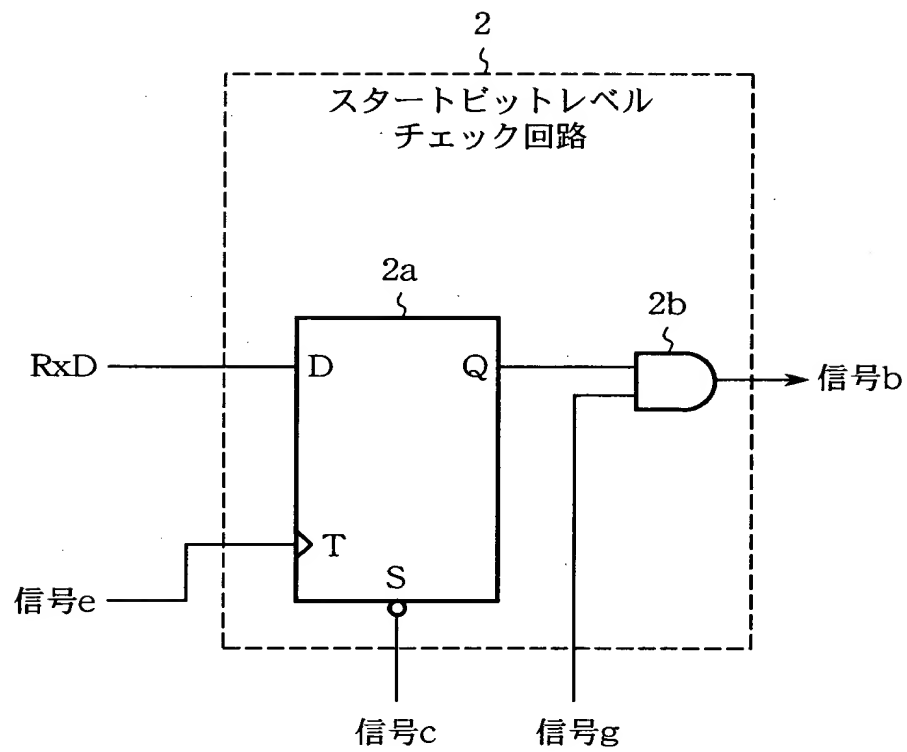


【書類名】 図面

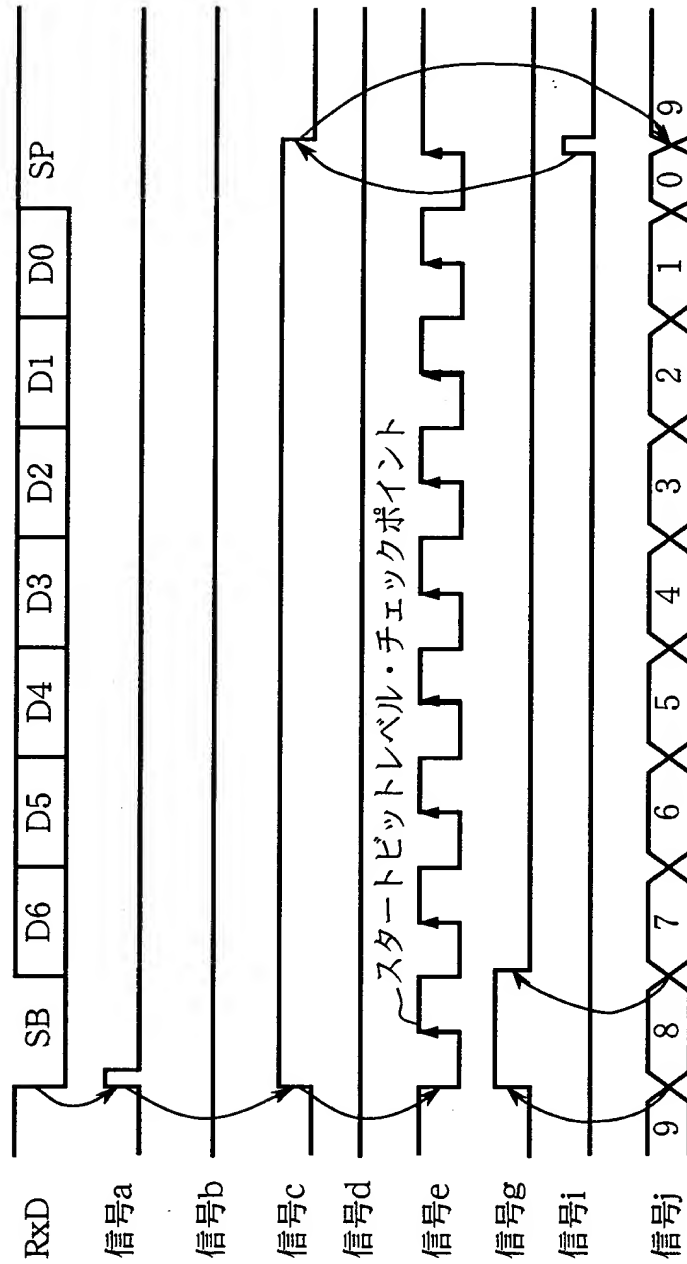
【図 1】



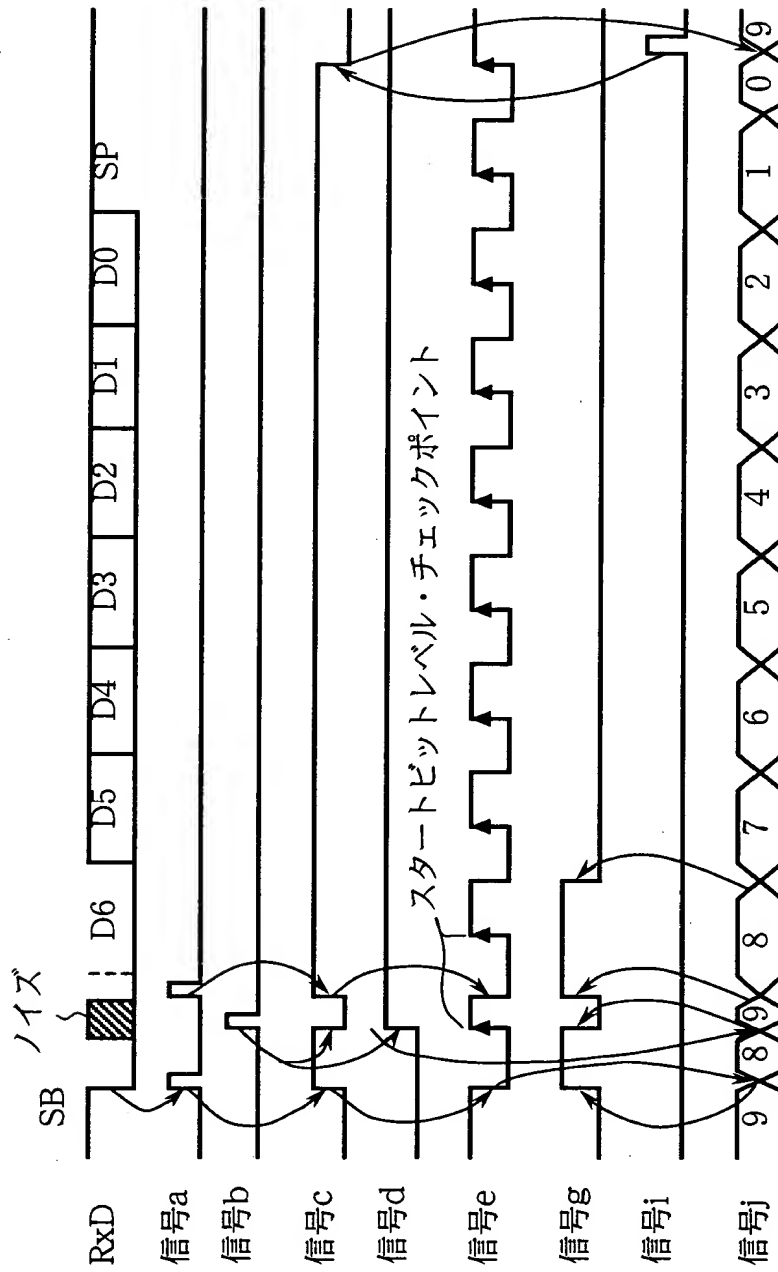
【図 2】



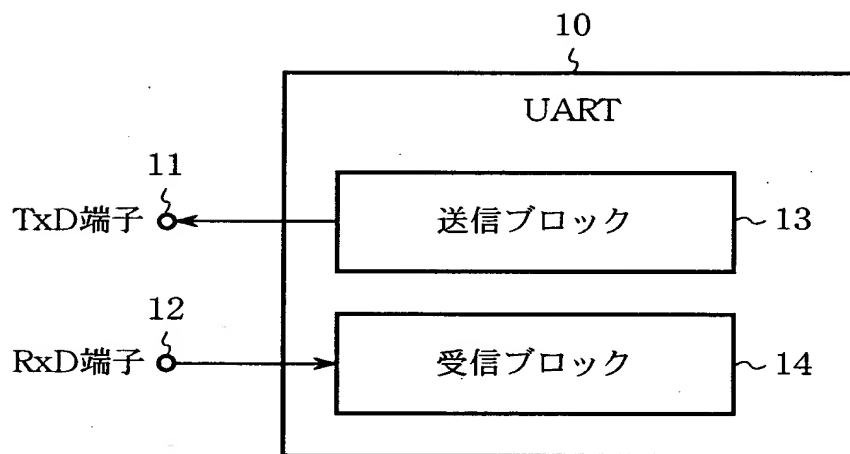
【図 3】



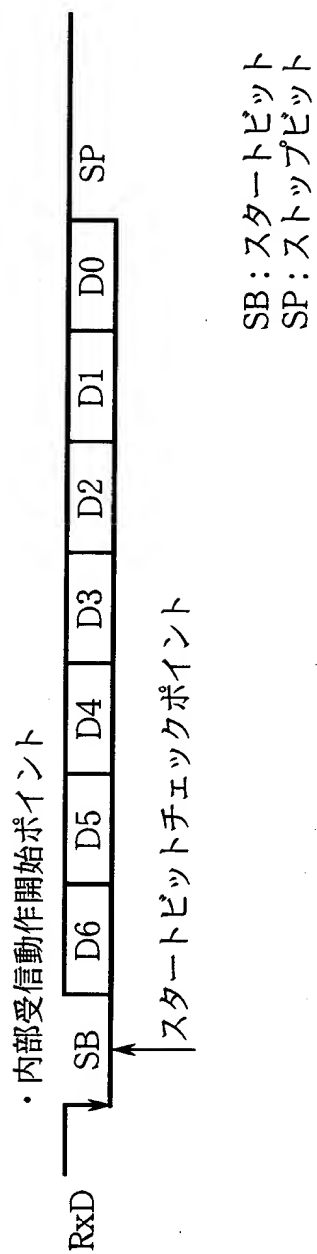
【図4】



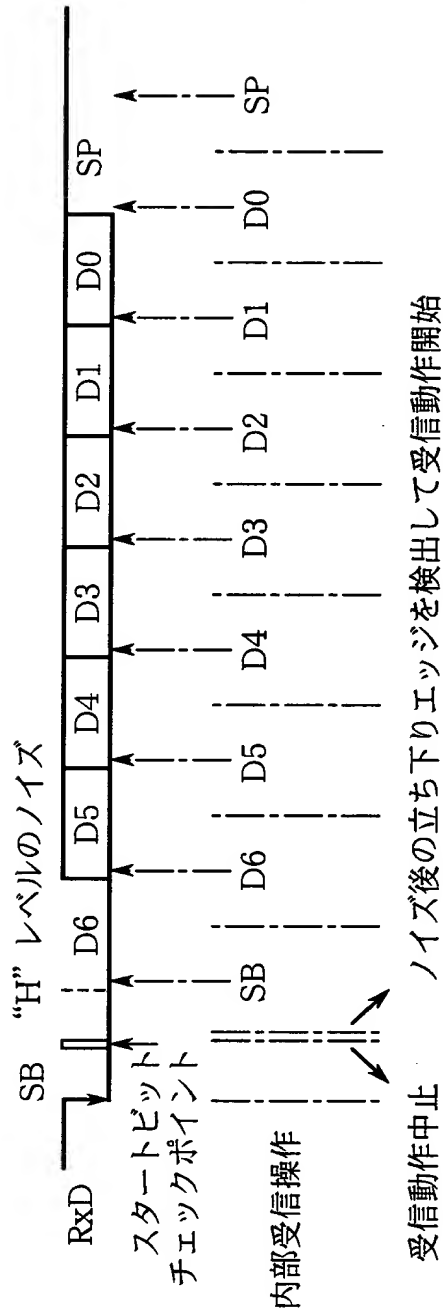
【図 5】



【図 6】



【図 7】



【書類名】            要約書

【要約】

【課題】    受信したシリアルデータのスタートビットの検出に失敗したことを認識する手段がなかったために、スタートビット検出エラーに係る不具合を発見し、これを修復するまでに多大な時間を要するという課題があった。

【解決手段】    受信データの立ち下がリエッジを検出し、この立ち下がリエッジの検出に伴って受信データのスタートビットの受信を認識するとともに、このスタートビットのビットレベルをモニタしてスタートビットにおける所定のビットレベルであるか否かを検査し、該ビットレベルに変化が検出されるとスタートビットの検出エラー発生を示す値を設定した信号を外部に出力する。

【選択図】            図 1



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社